

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10117277 A**(43) Date of publication of application: **06.05.98**

(51) Int. Cl.

H04N 1/19**G01J 1/44****H04N 1/401****// H01J 43/04****H01J 43/30**(21) Application number: **08269549**(71) Applicant: **NEC ENG LTD**(22) Date of filing: **11.10.96**(72) Inventor: **KAMIYA YUTAKA**(54) **SHADING CORRECTION CIRCUIT AND METHOD**

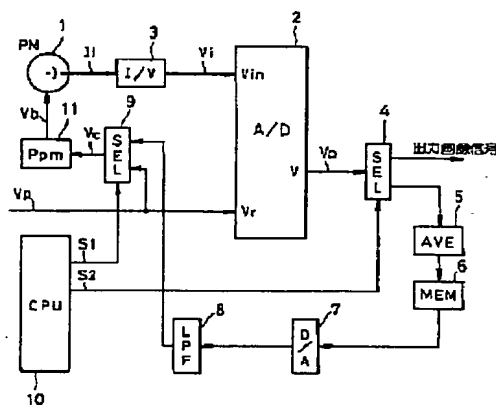
of a photoelectric transfer tube vary.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To provide a shading correction circuit, which has a small nonlinear error in A/D conversion and also has no breakage of elements of a light source by storing the read result of a reference white plate that is obtained via the photoelectric transfer tube and controlling the bias voltage of the tube based on the stored read result.

SOLUTION: Before an original is read, a reference white plate is read and an equalizer 5 takes an average of several lines to store it in a memory 6. The output of the memory 6 is converted into an analog signal by a D/A converter 7, and the high-frequency component of the analog signal is eliminated by an LPF 8. When the original is read, the voltage outputted from the LPF 8 is selected by a selector 9 and inputted to a power supply 11 which shows the input/output characteristic, where the control voltage V_c is proportional to the drive voltage V_b . The relation $V_b = K \cdot V_c$ exists between the voltage V_c and V_b . Therefore, if the voltage V_c varies for a period from the start and end of read of an original, the voltage V_b and thereafter the bias voltage



(11)特許出願公開番号

特開平10-117277

(43)公開日 平成10年(1998)5月6日

(51) Int.Cl.⁸

識別記号

FI

H04N 1/19

H0 4 N 1/04

103Z

G 0 1 J 1/44

G O I J 1/44

E

H04N 1/401

H0 1 J 43/04

// H 0 1 J 43/04

43/30

43/30

H0 4N 1/40

101A

審査請求 未請求 請求項の数 4 OL (全 5 頁)

(21) 出題番号

特願平8-269549

(22) 出願日

平成8年(1996)10月11日

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 發明者 嘉宮 豊

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

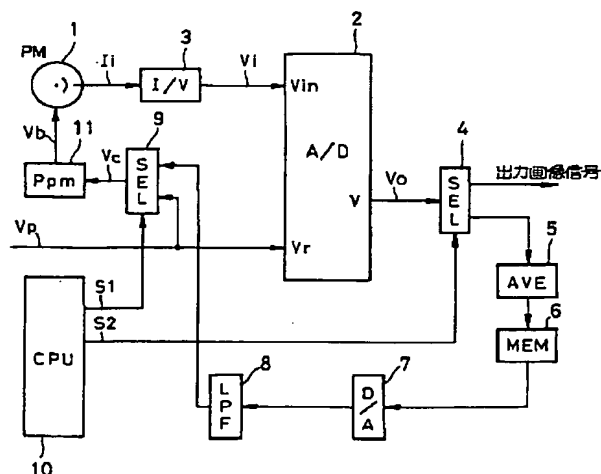
(54) 【発明の名称】 シェーディング補正回路及びシェーディング補正方法

(57) 【要約】

【課題】 アナログ・ディジタル変換することによる非直線性誤差が小さく、かつ、光源の素子が破壊されることのないシェーディング補正回路を実現する。

【解決手段】 まず、光電変換管 1 により図示せぬ基準白色板を読取り、読取結果をメモリ 6 に記憶する。この読取結果に応じて光電変換管 1 の駆動電圧（バイアス電圧） V_b を制御する。

【効果】 図示せぬ光源の素子やアナログ・デジタル変換器 2 のレファレンス電圧を制御するのではなく、光電子増倍管 1 のバイアス電圧を変化制御するので、非直線性誤差が小さく、また光源の素子が破壊されることもない。



【特許請求の範囲】

【請求項1】 入力光量に応じた信号を出力する光電変換管の出力についてのシェーディング補正を行うシェーディング補正回路であって、前記光電変換管により基準読取対象を読取った結果に応じて前記光電変換管のバイアス電圧を制御する電源電圧制御手段を含むことを特徴とするシェーディング補正回路。

【請求項2】 前記基準読取対象は、基準白色板であることを特徴とする請求項1記載のシェーディング補正回路。

【請求項3】 入力光量に応じた信号を出力する光電変換管の出力についてのシェーディング補正方法であって、前記光電変換管により基準読取対象を読取るステップと、この読取結果に応じて前記光電変換管のバイアス電圧を制御するステップとを含むことを特徴とするシェーディング補正方法。

【請求項4】 前記基準読取対象は、基準白色板であることを特徴とする請求項3記載のシェーディング補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はシェーディング補正回路及びシェーディング補正方法に関し、特にイメージスキャナ装置に用いるシェーディング補正回路及びシェーディング補正方法に関する。

【0002】

【従来の技術】一般に、スキャナ装置は、新聞広告や白黒写真等を光学的に読取り、電気信号に変換してホストコンピュータへ入力する画像入力装置である。このスキャナ装置は、原稿を忠実に読取る機能に加え、暗い原稿やピントのボケた写真等も高品質に仕上げなければならないために電氣的に補正を行う色々な画像処理機能を有している。

【0003】このスキャナ装置に用いられている従来のシェーディング補正回路について図面を参照して説明する。図4は従来のシェーディング補正回路を含むスキャナ装置の構成を示すブロック図である。図示されているスキャナ装置は、基準電圧 V_p により制御される光電子増倍管用電源(Ppm)11と、この電源11の出力電圧 V_b (バイアス電圧)により駆動される光電子増倍管(PM)1と、このPM1の出力電流 I_i を電圧に変換する電流電圧変換器(I/V)3と、アナログ信号をデジタル信号に変換するアナログ・デジタル変換器(A/D)2と、この変換器2の出力信号の送出先を制御信号 S_2 によって出力画像信号の出力部または平均化器5に切換えるセレクトア(SEL)4とを含んで構成されている。

【0004】また、同図に示されているスキャナ装置は、画像信号の数ライン分についての平均化を行う平均化器(AVE)5と、この平均化器5の出力信号を蓄積

するメモリ(MEM)6と、入力されるデジタル信号をアナログ信号に変換して出力するデジタル・アナログ変換器(D/A)7と、高周波成分を除去するローパスフィルタ(LPF)8と、基準電圧 V_p とLPF8の出力信号とを信号 S_1 によって切換えて出力するセレクトア(SEL)9と、制御信号 S_1 及び S_2 の出力を制御するCPU10とを含んで構成されている。

【0005】なお、光電子増倍管1の光源は図示していない。この光源には半導体レーザ素子等が用いられる。

そして、この光源から出射された光をレンズで集光し、偏向するポリゴンミラーで反射することによって、結像面の原稿等を走査する。この走査の間に原稿の反射光を光電増倍管1で電流に変換するのである。

【0006】かかる構成からなるスキャナ装置では、以下の動作が行われる。

【0007】原稿を読取る前に、次のような前処理を行う。まず、CPU10は、セレクトア9では基準電圧 V_p 、セレクトア4では出力が平均化器5側を選択するように制御信号 S_1 、 S_2 を出力する。この状態で基準白プレートを読取る。この読取りによる光電子増倍管1の出力信号 I_i は、電流電圧変換器3に入力されて電圧 V_i となる。この電圧 V_i は変換器2の V_i 端子に入力されてデジタル信号に変換される。

【0008】さらに、平均化器5で数ライン分の基準白プレートの信号を平均した結果をメモリ6に蓄積する。この後、CPU10は、セレクトア9ではフィルタ8側を、セレクトア4では出力画像信号側を、夫々選択するように信号 S_1 、 S_2 を切換えて出力する。

【0009】次に、原稿を読取る。光電子増倍管1の出力信号 I_i は、電流電圧変換器3に入力され電圧 V_i となり、変換器2の V_i 端子に入力される。これと並行して、メモリ6から読出された信号は変換器7及びフィルタ8を介して、同期を取って変換器2のレファレンス電圧入力端子 V_r に入力される。こうすることで、変換器2の出力端子 V_{out} からはシェーディング補正されたデジタル信号が得られるのである。

【0010】

【発明が解決しようとする課題】上述した従来のシェーディング補正回路では、アナログ・デジタル変換器2のレファレンス電圧を変動させている。このため、その変換後のデジタル信号に対して非直線誤差が大きくなりやすく、読取った原稿の画質に悪影響を与えるという欠点があった。

【0011】なお、平均化器5において画像信号の数ライン分の平均化を行うのは、基準読取対象である基準白色プレートにゴミ等の異物が付着していると正しい信号が得られないからである。

【0012】かかる欠点を解決するための技術が特開昭56-93384号公報に記載されている。しかし、同公報では光源である半導体レーザ素子の出力を制御して

いるので、シェーディング補正量によっては半導体レーザ素子への入力が増大になり、素子の破壊につながるといふ欠点がある。そして、破壊した素子の交換作業に時間がかかるという欠点がある。

【0013】また、特開平3-106178号公報ではデジタル・アナログ変換器の基準電圧を制御しており、上述した従来技術と同様に非直線誤差が大きくなりやすく、読取った原稿の画質に悪影響を与えるという欠点がある。

【0014】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はアナログ・デジタル変換することによる非直線性誤差が小さく、かつ、光源の素子が破壊されることのないシェーディング補正回路及びシェーディング補正方法を提供することである。

【0015】

【課題を解決するための手段】本発明によるシェーディング補正回路は、入力光量に応じた信号を出力する光電変換管の出力についてのシェーディング補正を行うシェーディング補正回路であって、前記光電変換管により基準読取対象を読取った結果に応じて前記光電変換管のバイアス電圧を制御する電源電圧制御手段を含むことを特徴とする。

【0016】本発明によるシェーディング補正方法は、入力光量に応じた信号を出力する光電変換管の出力についてのシェーディング補正方法であって、前記光電変換管により基準読取対象を読取るステップと、この読取結果に応じて前記光電変換管のバイアス電圧を制御するステップとを含むことを特徴とする。

【0017】本発明では、光源の出力やアナログ・デジタル変換器のレファレンス電圧を制御するのではなく、光電子増倍管のバイアス電圧を変化制御する。これにより、補正による非直線性誤差が小さく、また光源の素子が破壊されることもないのである。

【0018】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0019】図1は本発明によるシェーディング補正回路の実施の形態を示すブロック図であり、スキャナ装置に用いた場合の構成が示されている。なお、同図において、図4と同等部分は同一符号により示されている。

【0020】同図において、本回路が従来の回路（図4）と異なる点は、アナログ・デジタル変換器のレファレンス電圧を制御するのではなく、光電子増倍管のバイアス電圧を変化制御する点である。すなわち、アナログ・デジタル変換器2のレファレンス電圧入力端子V_rに入力されている基準電圧V_pは一定にする。そして、この基準電圧V_pとローパスフィルタ8の出力とをセレクト9で切替えた制御電圧V_cによって光電子増倍管用電源11を制御し、光電子増倍管1の駆動電圧（バ

イアス電圧）V_bを得ることとする。このように、上述した前処理において基準白プレートを読取った結果に応じて光電子増倍管1のバイアス電圧を制御するので、補正による非直線性誤差が小さく、また光源の素子が破壊されることがないのである。

【0021】かかる構成からなるシェーディング補正回路の動作について図2及び図3を参照して説明する。

【0022】原稿を読取る前処理として基準白プレートを読取り、平均化器5において数ライン分の平均をとってメモリ6に蓄積しておく。このメモリ6の出力をデジタル・アナログ変換器7でアナログ信号に変換した後、ローパスフィルタ8で高周波成分を除去する。ここまでは、従来の動作と同様である。

【0023】原稿を読取る場合、フィルタ8から出力された電圧をセレクト9で選択して電源11に入力する。この電源11では、図2のように、制御電圧V_cと駆動電圧V_bとが比例する入出力特性を示す。したがって、制御電圧V_c及び駆動電圧V_bには、 $V_b = K \cdot V_c \dots (1)$

の関係がある。したがって、原稿の読取り開始から終了までの間、制御電圧V_cが変化すると駆動電圧V_bも同様に変化することになる。なお、式（1）においてKは定数である。

【0024】ここで、光電子増倍管1のバイアス電圧である駆動電圧V_bが図3（c）に示されているように変化するものとする。すると、光電子増倍管1の駆動電圧V_bと出力電流I_iとが同図（a）に示されているような比例関係にあるので、出力電流I_iは同図（b）の実線Jで示されているように変化する。

【0025】シェーディング補正前の出力電流は、読取開始から終了までの原稿幅に対応して、同図（b）の破線Hで示されているように変化していた。これに対し、シェーディング補正後の出力電流は、同図（b）の実線Jで示されているように補正され、光電子増倍管1への一定の入射光量に対する出力電流を一定にすることができるのである。

【0026】このため、光電子増倍管1の出力電流I_iが次段の電流電圧変換器3で電圧V_iに変化され、これをアナログ・デジタル変換器2で変換したデジタル信号は、シェーディング補正されたものとなる。

【0027】かくして、本回路によれば、アナログ・デジタル変換器2のレファレンス電圧入力端子V_rには基準電圧V_pを入力して電圧値を固定し、レファレンス電圧の変動による同変換器2の非直線性誤差を最小限にしている。さらに光電子増倍管1への入射光量が変動することで発生するシェーディング現象や、光電子増倍管1の特性バラツキによるシェーディング現象を補正することにより、読取った原稿に忠実な出力画像信号が得られるのである。そして、光源の素子を制御しているわけではないので、いかなるシェーディング補正を行っても

光源の素子が破壊されることはないのである。

【0028】要するに、本シェーディング補正回路では、入力光量に応じた信号を出力する光電変換管の出力についてのシェーディング補正を行うシェーディング補正回路であり、光電変換管により基準読取対象を読取った結果に応じて光電変換管のバイアス電圧を制御しているのである。そして、この回路では、まず、光電変換管により基準読取対象を読取るステップと、この読取結果に応じて光電変換管のバイアス電圧を制御するステップとによる補正方法が実現されているのである。

【0029】なお以上は、本発明をスキャナ装置に用いた場合について説明したが、これ以外の装置、例えばプリンタ装置、プロッタ装置、複写装置、ファクシミリ装置等に本発明を用いることができることは明白である。

【0030】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0031】(1) 前記光電変換管の出力であるアナログ信号をデジタル信号に変換する変換手段を更に含み、この変換に用いる基準信号を一定レベルに固定したことを特徴とする請求項1又は2記載のシェーディング補正回路。

【0032】(2) 前記読取結果を記憶するメモリと、このメモリの記憶内容であるデジタル信号をアナログ信号に変換する他の変換手段と、この変換後の信号の高周波成分を除去するフィルタとを更に含み、この高周波成分除去後の信号で前記光電変換管のバイアス電圧を制御するようにしたことを特徴とする請求項1又は2記載のシェーディング補正回路。

【0033】

【発明の効果】以上説明したように本発明は、光源の出力やアナログ・デジタル変換器のレファレンス電圧を制御するのではなく、光電子増倍管のバイアス電圧を変化制御することにより、アナログ・デジタル変換することによる非直線性誤差が小さく、また光源の素子が破壊されることもないという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態によるシェーディング補正回路を含むスキャナ装置の構成を示すブロック図である。

10 する。

【図2】図1における光電子増倍管用電源の入出力特性図である。

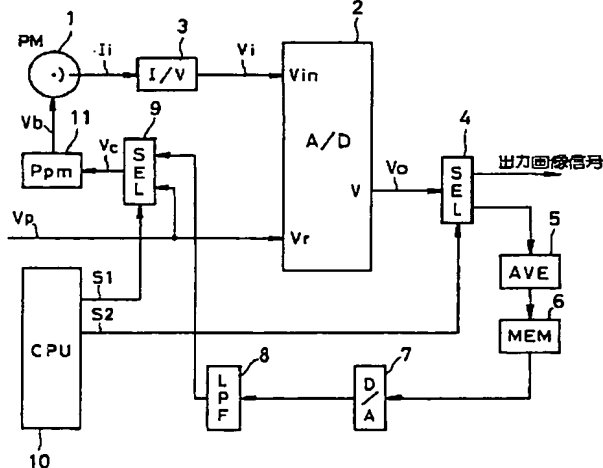
【図3】(a)は光電子増倍管の駆動電圧対出力電流の特性図、(b)は光電子増倍管のシェーディング補正前の出力電流とそれを補正するための出力電流との関係を示す図、(c)は補正用駆動電圧を生成するための光電子増倍管用電源の入力電圧特性図である。

【図4】従来のシェーディング補正回路を含むスキャナ装置の構成を示すブロック図である。

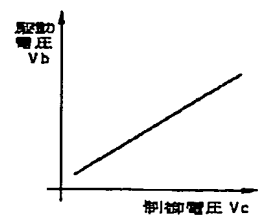
20 【符号の説明】

- 1 光電子増倍管
- 2 アナログ・デジタル変換器
- 3 電流電圧変換器
- 4, 9 セレクタ
- 5 平均化器
- 6 メモリ
- 7 デジタル・アナログ変換器
- 8 ローパスフィルタ
- 10 CPU

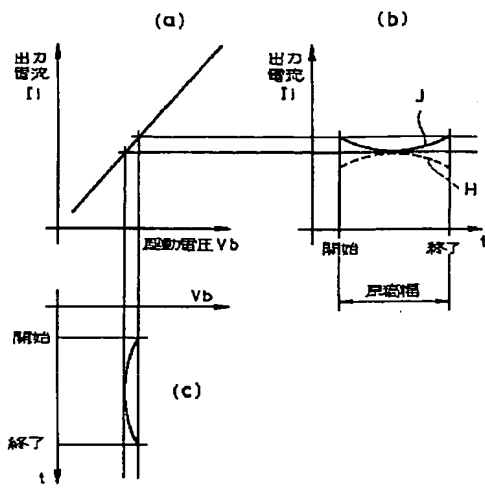
【図1】



【図2】



【図 3】



【図 4】

